

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-268046

(43)Date of publication of application : 01.11.1990

(51)Int.Cl.

H04L 12/56

(21)Application number : 01-090102

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.04.1989

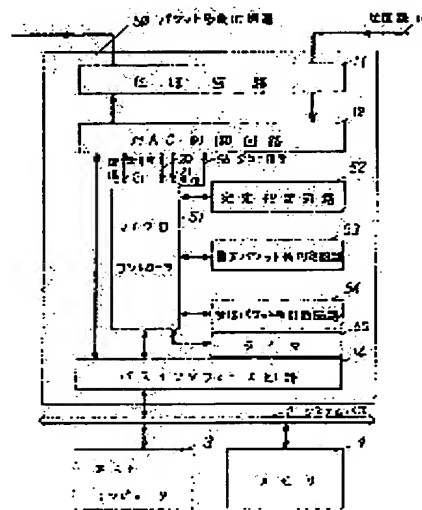
(72)Inventor : MASUDA MICHINORI
ONO KENZO

(54) PACKET MULTIPLEXER

(57)Abstract:

PURPOSE: To attain high speed exchange processing by sending continuously a succeeding packet to a packet during the transmission at present when the sum of packets to be sent next does not exceed a prescribed maximum packet length in a same destination as the destination of the packet sent at present.

CONSTITUTION: When a destination address is the same as the address of a packet during the transmission at present, a maximum packet length deciding circuit 53 adds the packet to the packet length sent already and a destination deciding circuit 52 decides whether or not the sum exceeds a prescribed packet length by the control of a micro controller 51. When the maximum packet length is not exceeded, a reception packet length counter circuit 54 counts data number transferred to a memory 4 from an MAC(Medium Access Control) control circuit 12 and when the data number is coincident with the data number in the reception frame, a succeeding reception request pointer is set to the end of the packet by the controller 51. Thus, the packets of the same destination are multiplexed and the exchange processing is quickened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A) 平2-268046

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月1日

H 04 L 12/56

7830-5K

H 04 L 11/20

1 0 2 F

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 バケット多重化装置

⑯ 特 願 平1-90102

⑰ 出 願 平1(1989)4月10日

⑱ 発 明 者	舩 田 通 憲	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	大 野 健 造	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
㉑ 代 理 人	弁理士 栗野 重孝	外1名	

明 細 書

1. 発明の名称

バケット多重化装置

2. 特許請求の範囲

(1) 複数の情報処理装置が伝送路を介して相互にデータ交換を行うネットワークにおいて、宛先判定回路と最大バケット長判定回路とマイクロコントローラとを有し、バケットを送信する際、次に送信するバケットの宛先が、前記宛先判定回路により、現在送信しているバケットの宛先と同一の宛先であり、かつ、前記最大バケット長判定回路により、現在まで連続して送信したバケットの長さの合計と次に送信するバケットの長さの合計が、最大バケット長を越えないことが確認された場合に、前記マイクロコントローラが、現在送信中のバケットに連続して送信し、この動作をその時点での全ての送信要求に対して行うことを特徴とするバケット多重化装置。

(2) 宛先判定回路と最大バケット長判定回路とタイマとマイクロコントローラとを有し、バケッ

トを送信する際、次に送信するバケットの宛先が、前記宛先判定回路により、現在送信しているバケットの宛先と同一の宛先であり、かつ、前記最大バケット長判定回路により、現在まで連続して送信したバケットの長さの合計と次に送信するバケットの長さの合計が、最大バケット長を越えないことが確認された場合に、前記マイクロコントローラが、前記タイマを制御して一定時間経過後に現在送信中のバケットに連続して送信し、この動作をその時点での全ての送信要求に対して行うことを特徴とする特許請求の範囲第1項記載のバケット多重化装置。

(3) 複数の情報処理装置が伝送路を介して相互にデータ交換を行うネットワークにおいて、受信バケット長計数回路とマイクロコントローラを有し、宛先アドレス、送信元アドレス、データ長、データから構成されるバケットが複数個多重化されたフレームを受信する際、前記受信バケット長計数回路が各受信バケット中のデータ長が示す値を計数し終る毎に、前記マイクロコントローラが、

1つのバケットとして受信処理を行うことを特徴とするバケット多重化装置。

3. 発明の詳細な説明

産業上の利用分野

本発明はローカルエリアネットワークのバケット交換処理を高速に行なうバケット多重化装置に関するものである。

従来の技術

従来のバケット多重化装置を第6図に示す。バケット多重化装置1は、システムバス2によりホストコンピュータ3と接続され、メモリ4を介してデータの送受信を行う。

尚、本装置はメディアアクセス方式には関係ないが、例を具体化するために、トークンリング方式により説明する。

ネットワークへのバケット送信は、伝送路10から伝送回路11を経て、MAC(Medium Access Control)制御回路12がトークンを検出し、マイクロコントローラ13に送信化信号20を与えることで開始される。マ

する情報処理装置のバケット交換処理を高速に行なうことができるバケット多重化装置を提供することを目的とする。

課題を解決するための手段

本発明は、複数の情報処理装置が伝送路を介して相互にデータ交換を行うネットワークにおいて、宛先判定回路と最大バケット長判定回路とタイマ及び受信バケット長計数回路とマイクロコントローラとを有するようにするものである。

作用

本発明は前記の構成により、バケットを送信する際、次に送信するバケットの宛先が、宛先判定回路により、現在送信しているバケットの宛先と同一の宛先であり、かつ、最大バケット長判定回路により、現在まで連続して送信したバケットの長さの合計と次に送信するバケットの長さの合計が、最大バケット長を越えないことが確認された場合に、マイクロコントローラが、タイマを制御して一定時間経過後に、現在送信中のバケットに連続して送信し、この動作をその時点での全ての

マイクロコントローラは、バスインタフェース回路14を制御し、システムバス2を介し、第2図に示すような送信要求を読み取り、宛先アドレス82、バケット長83と送信信号21をMAC制御回路12に与え、メモリ4上にあるデータを伝送回路を経て送信を行う。

ネットワークからのバケット受信は、伝送路10から伝送回路11を経て、MAC制御回路12が自分宛のバケットを識別し、受信信号22をもって、マイクロコントローラ13に通知し、予め決められた所定のアドレスに格納されることで完了する。

発明が解決しようとする課題

しかし、このような構成では、1度に送信できるバケットは1つであり、データベースサーバやファイルサーバ等の情報処理装置のように他の情報処理装置に比べてネットワークの負荷が集中する場合に、ネットワークの処理能力がシステムのボトルネックになる可能性がある。

本発明はこのようなネットワークの負荷が集中

送信要求に対して行うようにし、また、宛先アドレス、送信元アドレス、データ長、データから構成されるバケットを複数個多重化したフレームを受信する際、受信バケット長計数回路が受信バケット中のデータ長が示す値を計数し終る毎に、マイクロコントローラが、1つのバケットとして受信処理を行うようにするものである。

実施例

本発明のバケット多重化装置の一実施例を第1図に示す。尚、従来例と同一の箇所には同一番号を付し説明を省略する。

図において、50はバケット多重化装置である。宛先判定回路52は、バケット送信時にマイクロコントローラ51から与えられた宛先アドレスと現在送信中のバケットのアドレスの一致を判定し、結果をマイクロコントローラ51に返す。

最大バケット長判定回路53は、バケット送信時にマイクロコントローラ51から与えられたバケット長をすでに連続して送信したバケット長の合計に加算し、初期化時に与えられた最大バケッ

ト長を越えていないかを判定し、結果をマイクロコントローラ51に返す。

受信パケット長計数回路54は、MAC制御回路12からメモリ4に転送されるデータを計数し、パケット受信時にMAC制御回路12からマイクロコントローラ51を経由して与えられた受信フレーム内のデータ長と一致するとマイクロコントローラ51に結果を返す。

タイマ55は、マイクロコントローラ51の制御の元に動作し、パケット連続送信の際のパケット間の間隔を開けるのに使用する。

第2図に、ホストコンピュータからの送信要求の一構成例を示す。この送信要求は、次の要求が格納されている場所を示す次送信要求へのポインタ81、パケットの宛先アドレス82、パケット長83、及びデータが格納されている場所を示すデータへのポインタ84から構成され、メモリ4上に配置される。

まず、第1の発明について説明する。MAC制御回路12から送信可能信号をマイクロコントロー

ラ51が受けると、第3図に示す手順でマイクロコントローラ51がパケット送信を制御する。

最初の判定90でマイクロコントローラ51は送信要求の有無を調べる。これは送信要求の次へのポインタ81が空を示しているか否かで判定する。もし、空で有れば何も送信しない。もし、空でなければ次の処理に進む。

2番目の処理91では、マイクロコントローラ51は送信要求から宛先アドレス82とパケット長83を、それぞれ、宛先判定回路52と最大パケット長判定回路53にロードする。一連の送信の最初の場合に限り、ロードに先立ち両方の回路をリセットする。これにより、宛先判定回路52には同報アドレスが、最大パケット長判定回路53にはパケット長0が判定比較基準として与えられ、必ず1パケットは送信される。

次の判定処理92で、マイクロコントローラ51は宛先が一連の連続送信するパケットと同一であるか否かの判定の結果を宛先判定回路52から受け取る。同一でなければ、送信を終了する。同

一であれば、判定比較基準を今回ロードされた値に置き換えて、次の判定に移る。

次の判定処理93で、マイクロコントローラ51は一連の連続送信するパケットの長さが最大パケット長を越えていないか否かの判定の結果を最大パケット長判定回路53から受け取る。越えていれば、送信を終了する。越えて無ければ、判定比較基準に今回ロードされた値を加算して次の処理に移る。

最後に処理94で、判定パケットを次の送信パケットとしてMAC制御回路12に与え、再度判定90を繰り返す。

また、マイクロコントローラ51は、パケットを連続して送出する際、タイマ55を用いて、MAC制御装置12にダミー信号56を与え、パケット間に一定の間隔を設けることができる。これにより、先に示した判定処理に要する時間やパケット受信側での処理時間を稼ぐことができる。

次に、送信処理を第4図に示す8つの送信要求に当てはめて説明する。図中の矩形は1つの送信

要求を表しており、左側に宛先アドレス、右側にパケット長が示されている。また、最大パケット長は4096バイトとする。

まず、先頭の送信要求100が送信される。この時残りの送信要求の中から宛先が01の要求が選択され102、104が順に送信される。105は宛先が01であるが、合計のパケット長が4352となり4096をこえるので送信されない。これで、第1回目の一連の送信が終了する。

次の送信では、101が先頭の送信要求なので、同様の手順で、101、103が送信される。

次の送信では、102はすでに送信されているので、103と106が送信される。

最後に105が送信され、この送信要求はすべて処理される。

このように従来8回の送信が4回で完了することができ、パケット交換を高速化できる。また、この時、同一の宛先を持つパケットが1度の送信で処理されるので、多くの送信要求のある宛先、すなわち負荷の高い宛先が優先的に処理されるこ

とになり、負荷分配も行える。

次に第2の発明について説明する。第5図は、同一宛先のバケットが複数個多重化されたフレームを受信する処理を示す図である。この例では、3つのバケット110A、110B、110Cが1つのフレームに多重化され、それぞれ、宛先アドレス(DA)111A、B、C、送信元アドレス(SA)112A、B、C、バケット長(L1)113A、B、C、データ(DATA)114A、B、Cをもち、多重化されたバケットを先頭を示すスタートデリミタ(SD)115、フレームチェックシーケンス(FCS)116、末尾を示すエンドデリミタ(ED)117で囲まれる。

バケットを受信すると、MAC制御回路は、データ長をマイクロコントローラ51を通して、受信バケット長計数回路54に与える。受信バケット長計数回路54は、MAC制御回路12からメモリ4に転送されるデータを計数し、バケット受信時にMAC制御回路12からマイクロコントローラ51を経由して与えられた受信フレーム内の

データ長と一致するとマイクロコントローラ51に結果を返す。

マイクロコントローラ51は、バケット110Aの末尾を受信バケット長計数回路54から通知されると、バケット長120A、データへのポインタ121A、データ122Aを格納し、次受信要求ポインタ123Aを末尾に設定する。

引き続き、マイクロコントローラ51は、バケット110Bの末尾を受信バケット長計数回路54から通知され、バケット長120B、データへのポインタ121B、データ122Bを格納し、次受信要求ポインタ123Aをバケット110Bの格納場所に設定し、次受信要求ポインタ123Bを末尾に設定する。バケット110Cについても同様の処理を行い、バケット長120C、データへのポインタ121C、データ122Cを格納し、次受信要求ポインタ123Cを設定する。

このようにすると、多重化されたバケットを受信する際、フレーム全体を1つのバッファブロックに格納する必要がなくなり、バッファブロック

のサイズを小さくできバッファの使用効率がよい。また、従来のバケットを多重化しない場合と同様のシステムコンフィグレーションで実現でき汎用性の点でも有用である。

発明の効果

以上説明したように、本発明によれば、バケット交換処理を同一宛先のバケットの多重化により高速化できる。また、負荷の集中している宛先へのバケットを優先的に処理することになり、負荷分配の点からみても効果がある。さらに、受信側バッファのブロックサイズを拡張する必要がないため、バッファの使用効率も良くきわめて有用である。

4. 図面の簡単な説明

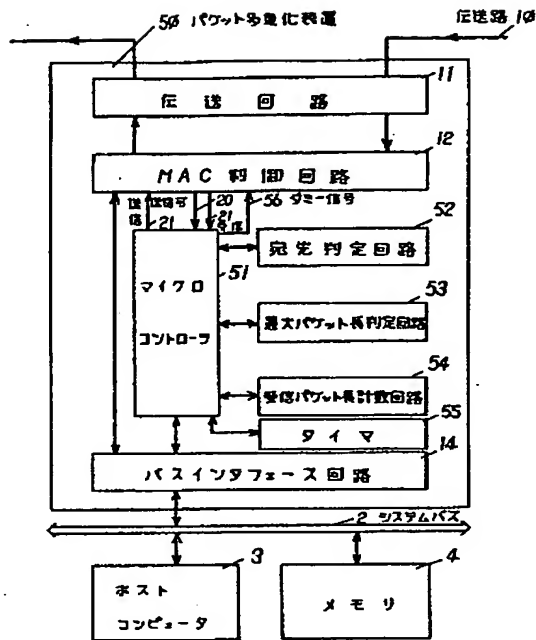
第1図は本発明のバケット多重化装置の一実施例の構成図、第2図は本発明の実施例で使用される送信要求の説明図、第3図は本発明の実施例で使用されるバケット多重処理手順の説明図、第4図は本発明の実施例に与えられる送信要求の説明図、第5図は本発明の実施例の多重化バケットの

受信手順の説明図、第6図は従来のバケット多重化装置の構成を示す図である。

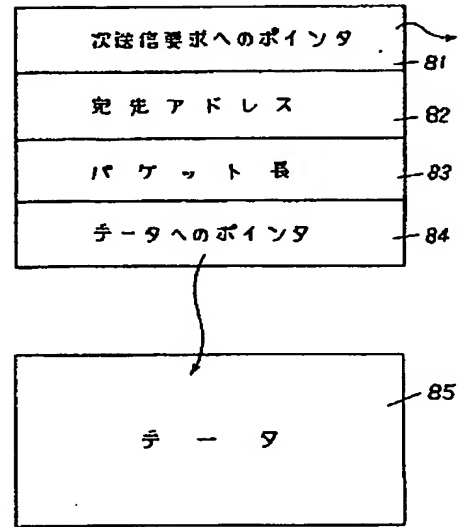
2...システムバス、3...ホストコンピュータ、4...メモリ、10...伝送路、11...伝送回路、12...MAC制御回路、20...送信可信号、21...送信信号、22...受信信号、50...バケット多重化装置、51...マイクロコントローラ、52...宛先判定回路、53...最大バケット長判定回路、54...受信バケット長計数回路、55...タイマ、56...ダミー信号、110A、B、C...バケット、111A、B、C...宛先アドレス、112A、B、C...送信元アドレス、113A、B、C...バケット長、114A、B、C...データ、115...スタートデリミタ、116...フレームチェックシーケンス、117...エンドデリミタ。

代理人の氏名 弁理士 栗野重孝 ほか1名

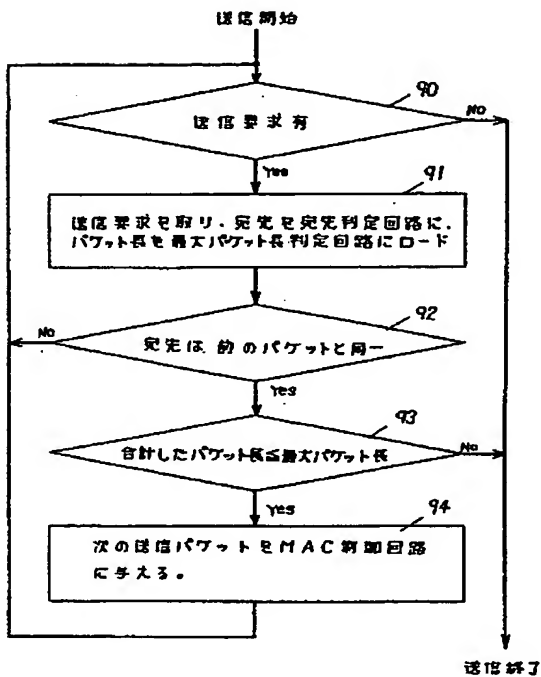
第 1 図



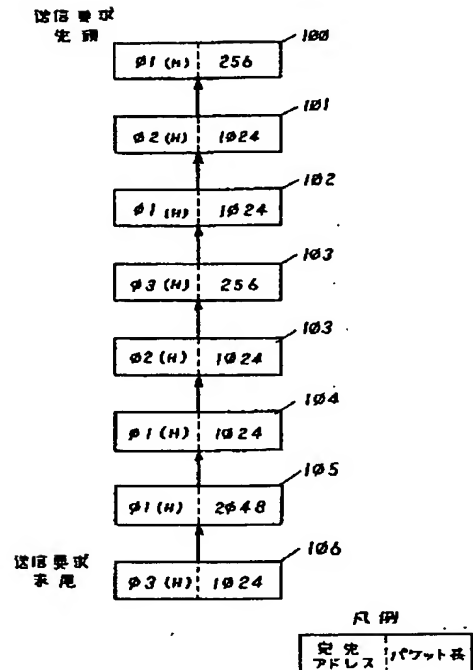
第 2 図



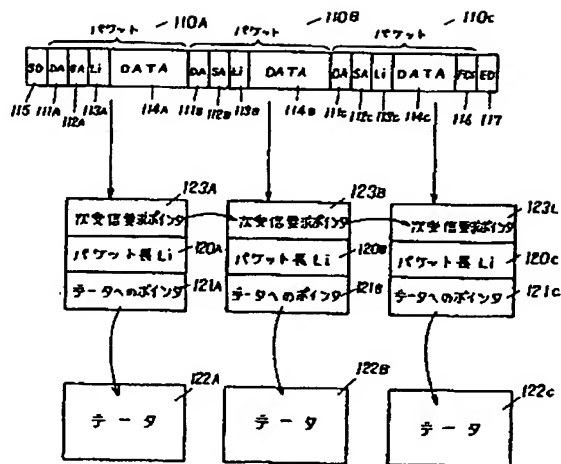
第 3 図



第 4 図



第 5 図



第 6 図

